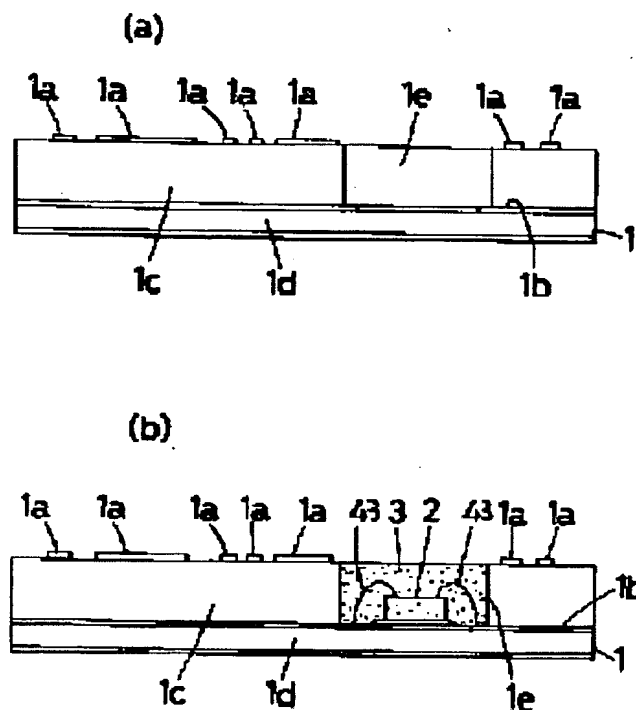


PRINTED BOARD AND SEMICONDUCTOR MOUNTING BOARD

Patent number: JP6349969
Publication date: 1994-12-22
Inventor: ONARI KUNIHIRO
Applicant: MATSUSHITA ELECTRIC WORKS LTD
Classification:
 - **International:** H01L23/12; H01L21/56
 - **European:**
Application number: JP19930134216 19930604
Priority number(s): JP19930134216 19930604

Abstract of JP6349969

PURPOSE: To provide a printed board in which a coating operation of cream solder on a circuit board is facilitated in a state that a semiconductor bare chip is mounted. **CONSTITUTION:** The printed board comprises a lower laminated board part 1d formed on a front surface with a circuit pattern 1b, an upper laminated board part 1c connected to the front surface of the part 1d and formed on a front surface with a circuit pattern 1a, and a recess 1e formed through the part 1c and having a circuit pattern 1b forming surface of the part 1d as a bottom. The board 1 is mounted on the pattern 1b forming surface of the part 1d of the bottom of the recess 1e with a semiconductor bare chip 2, and so filled in the recess 1e with sealing resin 3 as to enclose the chip 2.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-349969

(43) 公開日 平成6年(1994)12月22日

(51) Int.Cl.⁵

H 0 1 L 23/12
21/56

識別記号

庁内整理番号

E 8617-4M

F I

H 0 1 L 23/ 12

技術表示箇所

F

審査請求 未請求 請求項の数 2 O L (全 4 頁)

(21) 出願番号

特願平5-134216

(22) 出願日

平成5年(1993)6月4日

(71) 出願人 000005832

松下電工株式会社

大阪府門真市大字門真1048番地

(72) 発明者 大成 邦宏

大阪府門真市大字門真1048番地松下電工株式会社内

(74) 代理人 弁理士 佐藤 成示 (外1名)

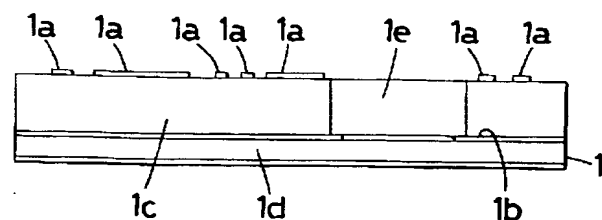
(54) 【発明の名称】 印刷基板および半導体実装基板

(57) 【要約】

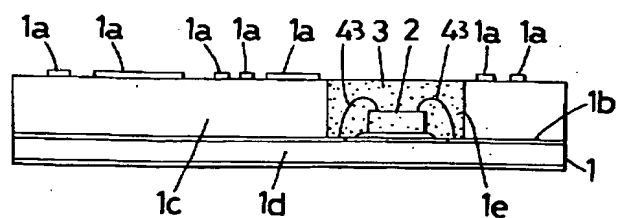
【目的】 半導体ベアチップを実装した状態で該回路基板へのクリーム半田の塗布作業が容易に出来るようにした印刷基板を提供する。

【構成】 表面に回路パターン1bが形成された下側積層基板部1dと、該下側積層基板部1dの表面に接合され且つ表面に回路パターン1aが形成された上側積層基板部1cと、を具備して成り、前記上側積層基板部1cを貫通し且つ前記下側積層基板部1dの回路パターン1b形成面を底面とする凹部1eを設けて成る。該印刷基板1は、半導体ベアチップ2を、前記凹部1eの底面である前記下側積層基板部1dの回路パターン1b形成面に実装し、該半導体ベアチップ2を被包するよう封止樹脂3を前記凹部1eに充填するようにした。

(a)



(b)



【特許請求の範囲】

【請求項1】 表面に回路パターンが形成された下側積層基板部と、該下側積層基板部の表面に接合され且つ表面に回路パターンが形成された上側積層基板部と、を具備して成り、前記上側積層基板部を貫通し且つ前記下側積層基板部の表面をその底面とする凹部を設けて成る印刷基板であって、

前記下側積層基板部の回路パターンに電気接続するよう前記凹部の底面に半導体ベアチップを実装し、該半導体ベアチップを被包するよう封止樹脂を前記凹部に充填するようにしたことを特徴とする印刷基板。

【請求項2】 表面に回路パターンが形成された下側積層基板部と、該下側積層基板部の表面に接合され且つ表面に回路パターンが形成された上側積層基板部と、を具備して成り、前記上側積層基板部を貫通し且つ前記下側積層基板部の表面をその底面とする凹部を設けて成る印刷基板と、

前記下側積層基板部の回路パターンに電気接続するよう前記凹部の底面に実装された半導体ベアチップと、該半導体ベアチップを被包するよう前記凹部に充填された封止樹脂と、

を具備して成ることを特徴とする半導体実装基板。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体ベアチップを実装出来るようにした印刷基板および半導体ベアチップを実装して成る半導体実装基板に関するものである。

【0002】

【従来の技術】図4は、半導体ベアチップ2を実装した印刷基板（以下、「半導体実装基板」という）の一従来例を示す側面図（a）および平面図（b）である。従来の半導体実装基板は、電子部品が未実装の印刷基板10の回路パターン敷設面に半導体ベアチップ2をダイボンディングし、該半導体ベアチップ2と回路パターンとを複数の金線43、43、…で接続し、該半導体ベアチップ2と複数の金線43、43、…とその周辺部を被包するよう低粘度状態の熱硬化性の封止樹脂3を前記印刷基板10に盛り、該封止樹脂3をそのまま熱硬化させて成る。前記印刷基板10には、前記印刷基板10に半導体ベアチップ2を実装して該半導体ベアチップ2を封止樹脂3により封止した後に、抵抗チップや容量チップなどの複数の電子部品5、5、…を印刷基板10の回路パターンに半田付けにより実装するようになっている。

【0003】

【発明が解決しようとする課題】然しながら、従来の半導体実装基板においては、電子部品5、5、…を印刷基板10に半田付け実装するとき、前記半導体ベアチップ2や封止樹脂3が邪魔になって通常の印刷基板のようにクリーム半田をスクリーン印刷することが出来ないで、従来は、前記印刷基板10の回路パターンの半田ラ

ンドの部分それぞれに、半田ディスペンサーによりクリーム半田を個々に塗布していくようにしているが、この方法によると、各半田ランドに塗布されるクリーム半田の塗布量にばらつきが生じ、電子部品5、5、…の実装品質の信頼性に欠けるという問題が生じると共に、半田ディスペンサーによりクリーム半田を半田ランドの個々に塗布していく作業は非常に時間がかかり、生産性についても問題があった。

【0004】本発明は、上記問題を鑑みて成されたものであり、その目的とするところは、印刷基板に半導体ベアチップを実装した状態で該回路基板へのクリーム半田の塗布作業が容易に出来るようにした印刷基板および半導体実装基板を提供することにある。

【0005】

【課題を解決するための手段】上記課題を解決するために成された第1の本発明は、表面に回路パターンが形成された下側積層基板部と、該下側積層基板部の表面に接合され且つ表面に回路パターンが形成された上側積層基板部と、を具備して成り、前記上側積層基板部を貫通し且つ前記下側積層基板部の表面をその底面とする凹部を設けて成る印刷基板であって、前記下側積層基板部の回路パターンに電気接続するよう前記凹部の底面に半導体ベアチップを実装し、該半導体ベアチップを被包するよう封止樹脂を前記凹部に充填するようにしたことを特徴とする印刷基板である。

【0006】又、上記課題を解決するために成された第2の本発明は、表面に回路パターンが形成された下側積層基板部と、該下側積層基板部の表面に接合され且つ表面に回路パターンが形成された上側積層基板部と、を具備して成り、前記上側積層基板部を貫通し且つ前記下側積層基板部の表面をその底面とする凹部を設けて成る印刷基板と、前記下側積層基板部の回路パターンに電気接続するよう前記凹部の底面に実装された半導体ベアチップと、該半導体ベアチップを被包するよう前記凹部に充填された封止樹脂と、を具備して成ることを特徴とする半導体実装基板である。

【0007】

【作用】第1および第2の本発明によれば、印刷基板に半導体ベアチップを実装した状態で該印刷基板にクリーム半田をスクリーン印刷することが出来る。

【0008】

【実施例】以下に本発明を、その実施例を示す図面を用いて説明する。尚、前記従来例のものに対応する部分については同一符号を付する。

【0009】図1（a）は、本発明実施例の印刷基板1を示す側断面図であり、図1（b）は、本発明実施例の印刷基板1に半導体ベアチップ2を実装して成る半導体実装基板を示す側断面図である。

【0010】前記印刷基板1は、表面に回路パターン1bが形成された下側積層基板部1dと、表面に回路パタ

ーン1aが形成された上側積層基板部1cとを具備して成り、前記上側積層基板部1cが前記下側積層基板部1dの表面に接合されて成る積層基板である。又、該印刷基板1には凹部1eが設けられており、該凹部1eは、前記上側積層基板部1cを貫通すると共に、前記下側積層基板部1dの表面、即ち、回路パターン1bの形成面を底面とする有底穴である。

【0011】前記半導体ベアチップ2は、前記凹部1eの底面である前記下側積層基板部1dの表面に、エポキシ樹脂によりダイボンディングされると共に、前記下側積層基板部1dの表面の回路パターン1bに、複数の金線43、43、…により電気接続される。そして、前記凹部1e内に、前記半導体ベアチップ2および金線43、43、…が完全に被包するように低粘度状態の熱硬化性の封止樹脂3が充填される。尚、前記印刷基板1に実装された前記半導体ベアチップ2や前記金線43、43、…が、前記凹部1eの深さを越えないようにする必要がある。その後、該低粘度状態の封止樹脂3を熱硬化させることにより、図1(b)に示す如く半導体実装基板が完成する。

【0012】上記構成の半導体実装基板においては、前記上側積層基板部1cの表面の回路パターン1aに、抵抗チップや容量チップなどの複数の電子部品5、5、…を実装するようになっているが、本実施例の印刷基板1および該印刷基板1の使用して構成した半導体実装基板は、前記電子部品5、5、…を実装する際に、前記上側積層基板部1cの表面にクリーム半田をスクリーン印刷することが出来る。即ち、図2に示すように、前記回路パターン1aの半田ランドの部分に合わせて孔パターン4aが形成された印刷スクリーン4を、前記上側積層基板部1cの表面に当てがい、印刷スクリーン1aの表側全体にスキージ12によりクリーム半田11を塗り付けるようにすると、前記孔パターン4aを介して前記回路パターン1aの半田ランドの部分のみにクリーム半田が付着するようになっている。

【0013】図3は、複数の電子部品5、5、…を実装した状態の半導体実装基板を示す側断面図(a)および平面図(b)である。

【0014】図4に示すように前述の従来例の場合、前記印刷基板10に低粘度状態の封止樹脂3を盛った後、時間経過と共に該封止樹脂3が前記印刷基板10の表面に広がるので、その広がる分を考慮して図4(b)に示

すように、前記封止樹脂3の周囲に幅Yの余裕領域Xを設ける必要があり、該余裕領域X内には各種電子部品5を実装することが不可能であった。ところが、図3に示すように上記構成の半導体実装基板においては、前記印刷基板10の凹部1eに低粘度状態の封止樹脂3を充填した後も、該封止樹脂3が前記印刷基板10の表面に広がることはないので、前記従来例の如く封止樹脂3の周囲に余裕領域Xを設ける必要が全くない。即ち、その余裕領域Xの分だけ従来に比して電子部品5を実装することが可能であり、一印刷基板1により多くの電子部品5を実装することが出来る。

【0015】

【発明の効果】以上の如く構成した第1及び第2の本発明によれば、印刷基板に半導体ベアチップを実装した状態で該印刷基板にクリーム半田をスクリーン印刷することが出来、前記回路基板へクリーム半田を塗布することが容易に出来る。

【図面の簡単な説明】

【図1】本発明実施例の印刷基板1を示す側断面図

(a)および本発明実施例の半導体実装基板を示す側断面図(b)。

【図2】本発明実施例において印刷基板1にクリーム半田を塗布する過程を示す図。

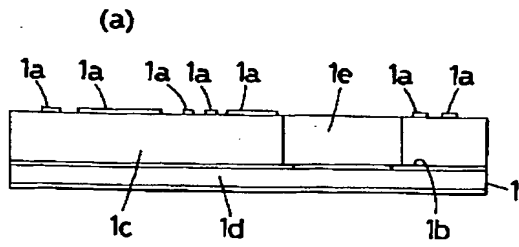
【図3】本発明実施例において印刷基板1に複数の電子部品5、5、…を実装した状態を示す側断面図(a)および平面図(b)。

【図4】従来例の半導体実装基板を示す側断面図(a)および平面図(b)。

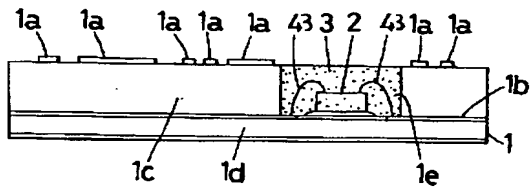
【符号の説明】

- 1 印刷基板
- 1a 回路パターン
- 1b 回路パターン
- 1c 上側積層基板部
- 1d 下側積層基板部
- 1e 凹部
- 2 半導体ベアチップ
- 3 封止樹脂
- 4 印刷スクリーン
- 5 電子部品
- 11 クリーム半田
- 43 金線

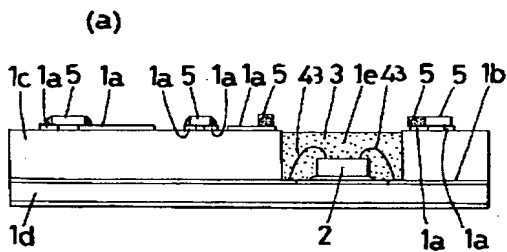
【図1】



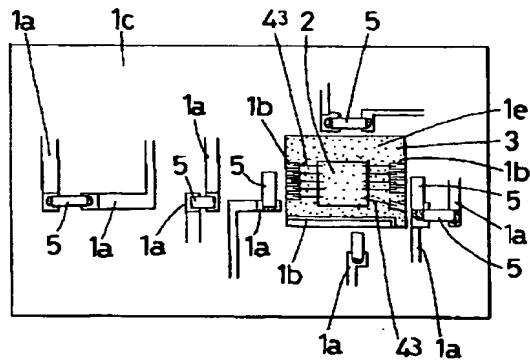
(b)



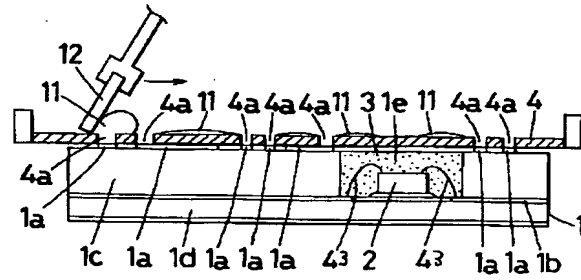
【図3】



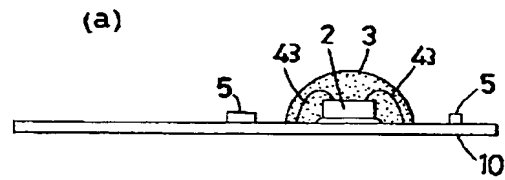
(b)



【図2】



【図4】



(b)

